

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

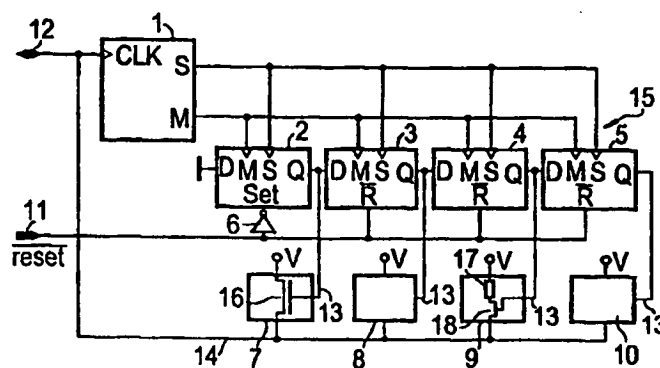


INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 21/66, G01R 31/3185	A1	(11) Internationale Veröffentlichungsnummer: WO 99/17353 (43) Internationales Veröffentlichungsdatum: 8. April 1999 (08.04.99)
(21) Internationales Aktenzeichen: PCT/DE98/02566 (22) Internationales Anmeldedatum: 1. September 1998 (01.09.98) (30) Prioritätsdaten: 197 42 946.7 29. September 1997 (29.09.97) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BLON, Thomas [DE/DE]; Mühlenweg 39, D-86860 Jengen (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).	(81) Bestimmungsstaaten: CN, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht.</i>	

(54) Title: MULTIPLEXED TEST CIRCUIT ON A SEMICONDUCTOR CHIP

(54) Bezeichnung: GEMULTIPLEXTE TESTSCHALTUNG AUF EINEM HALBLEITER-CHIP



(57) Abstract

The invention relates to a test circuit on a semiconductor chip, comprising test components on metering runs, which are connected by conductor paths with the contact areas. In order to determine the features of the components, test signals or measurement signals are sent to the contact areas, then removed therefrom. The outputs of the selection logical circuit activate metering runs with at least one test component by run, thereby enabling the measurement signals of various test components to be recorded on one contact area. One test circuit according to the invention enables the number of contact areas required to be substantially reduced.

(57) Zusammenfassung

Es wird eine Testschaltung auf einen Halbleiterchip mit Testbauelementen in Meßstrecken, die über Leiterbahnen mit Kontaktflächen verbunden sind, offenbart. Zur Bestimmung von Kenngrößen der Testbauelemente werden Testsignale bzw. Meßsignale den Kontaktflächen zu- und abgeführt. Eine signalgesteuerte Auswahllogik-Schaltung ist eingangsseitig mit mindestens einer Kontaktfläche verbunden. Die Ausgänge der Auswahllogik-Schaltung schalten Meßstrecken mit jeweils mindestens einem Testbauelement an, so daß Meßsignale verschiedener Testbauelemente an einer einzigen Kontaktfläche aufgenommen werden können. Mit einer erfindungsgemäßen Testschaltung läßt sich die Anzahl der erforderlichen Kontaktflächen deutlich reduzieren.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

GEMULTIPLEXTE TESTSCHALTUNG AUF EINEM HALBLEITER-CHIP

- 5 Die Erfindung betrifft eine Testschaltung auf einem Halbleiterchip mit Testbauelementen in Meßstrecken, die über Leiterbahnen mit Kontaktflächen zur Zuführung und Abführung von Testsignalen bzw. Meßsignalen verbunden sind, zur Bestimmung von Kenngrößen der Testbauelemente.
- 10 Die Messung von Technologieparametern oder Kenngrößen auf Halbleiter-Chips, wie z. B. die Stromergiebigkeit von NMOS-/PMOS-Transistoren, Polyhochohm- oder Polyniederohm-Widerständen auf Scheibenebene ist von großer Bedeutung für die
- 15 Fehleranalyse bei Analog- und Mixed-Signal-Schaltungen. Herkömmlicherweise erfolgt diese Messung über eine Vielzahl von Kontaktflächen, sog. Pads, die in der Regel zusammen mit anderen Kontaktflächen außerhalb des Bereichs der Schaltung in einem Padrahmen angeordnet sind. Mittels Meßspitzen und ähn-
- 20 lichem wird von externen Meßeinrichtungen auf die Kontaktflächen zugegriffen, die wiederum über Leiterbahnen mit den Meßstrecken mit den zu testenden Bauelementen verbunden werden.
- Mit fortschreitender Verkleinerung der auf Chips befindlichen
- 25 Schaltungen wird die Größe der Chips in zunehmenden Maße von den Kontaktflächen bestimmt. Droht die Chipfläche wegen der Kontaktflächen zur Bestimmung der Technologieparameter größer zu werden, als für die eigentliche Funktion des Chips unbedingt notwendig ist, so konnte diesem Flächenproblem nur
- 30 durch Weglassen von Kontaktflächen begegnet werden. Dieser Verzicht sorgt aber erfahrungsgemäß bei einer späteren Fehleranalyse für stark erhöhten Arbeitsaufwand, da die zur Analyse nötigen Technologieparameter nicht in der nötigen Qualität und Quantität zur Verfügung standen.
- 35 Der Erfindung liegt die **A u f g a b e** zugrunde, eine Testschaltung der eingangs genannten Art anzugeben, bei der

die Anzahl der Meßstrecken vergrößert und dennoch wenig Chipfläche verbraucht wird.

Die erfindungsgemäße Lösung dieser Aufgabe besteht darin, daß
5 eine signalgesteuerte Auswahllogik-Schaltung vorhanden ist, welche mindestens einen Steuersignal-Eingang aufweist, der mit einer Kontaktfläche verbunden ist, daß die Ausgänge der Auswahllogik-Schaltung mit Steuereingängen von Meßstrecken verbunden sind, die jeweils ein Testbauelement aufweisen, und
10 daß alle Meßstrecken ausgangsseitig mit einer einzigen Kontaktfläche verbunden sind.

Ein Kerngedanke der Erfindung besteht darin, aus der Vielzahl der Meßstrecken jeweils eine Meßstrecke mittels einer Art
15 Adressierung einzeln auszuwählen. Von der Anzahl der Meßstrecken und der Art und Weise der die Adressierung beinhaltenen Steuersignale sowie des Übertragungsverfahrens hängt die erforderliche Anzahl der Kontaktflächen und Steuerleitungen für die Auswahllogik ab. Bei einer sequentiellen Übertragung können alle Steuersignale für eine praktisch unbegrenzte
20 Anzahl von Meßstrecken auf einer einzigen Leitung übertragen werden. Bei paralleler Übertragung hängt die minimale Anzahl der Kontaktflächen von der gewählten Adreßcodierung und der Anzahl der Meßstrecken ab. Beispielsweise können mittels Binär-
25 nrcode über n- Leitungen Steuersignale für 2^n Meßstrecken übertragen werden.

Da durch die gezielte Auswahl einer Meßstrecke jeder Meßwert zeitlich eindeutig zuordenbar ist, können alle Meßwerte auf
30 einer einzigen Leitung an eine einzige Kontaktfläche geführt und dort abgegriffen werden.

Da die herkömmlichen Testschaltungen für jedes Bauelement mindestens eine Kontaktfläche vorzusehen ist, ergibt sich
35 hierdurch ein deutlich geringer Platzbedarf. Darüber hinaus können auch Bereiche, die von den Kontaktflächen weiter entfernt liegen, mit geringerem Aufwand zur Anordnung von Test-

bauelementen genutzt werden, da sich mit der Anzahl der Kontaktflächen in gleichem Maße die Anzahl der mit ihnen verbundenen Leiterbahnen reduziert.

- 5 Besonders günstig ist es, Meßstrecken so auszulegen, daß sie alle die gleiche Meßgröße, z.B. Strom oder Spannung, ausgangsseitig an die Kontaktflächen abgeben. So können z.B. Stromergiebigkeiten verschiedener Transistorentypen und spezifische Widerstände verschiedener Widerstandstypen jeweils
10 mittelbar über Strommessungen bestimmt werden. Somit kann auf eine einzige Strom- oder Spannungsquelle zurückgegriffen werden und die Zuführung der Meßgröße kann mit wenig Leitungsaufwand erfolgen.
- 15 Vorteilhaft ist es, daß alle Ausgänge aller Meßstrecken mit der Kontaktfläche, die mit einem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, verbunden sind. Durch diese doppelte Nutzung einer Kontaktfläche wird die Anzahl der insgesamt erforderlichen Kontaktflächen weiter reduziert.
- 20 Eine derartige Nutzung einer Kontaktfläche und der mit ihr verbundenen Leiterbahn zur bidirektionalen Kommunikation erfordert eine genaue Festlegung, wann die Kontaktfläche mit Signalen beaufschlagt werden darf und wann die Meßstrecken Ausgangssignale abgeben dürfen. Ansonsten kann es zu fehlerhaften Messungen und Fehlinterpretationen oder Nichtbeachtungen
25 von Steuersignalen durch die Auswahllogik-Schaltung kommen.
- Weiterhin ist es vorteilhaft, daß die Auswahllogik-Schaltung
30 einen Taktgenerator und eine Ansteuereinrichtung aufweist, daß die Ansteuereinrichtung eingangsseitig mit einem Ausgang des Taktgenerators verbunden ist und daß die Ansteuereinrichtung ausgangsseitig mit den Signaleingängen der Meßstrecken verbunden ist. Mit dem Taktgenerator steht eine Zeitbasis zur
35 Verfügung, über welche die Aktivierungsdauer der Meßstrecken definiert werden kann. Somit ist es z.B. möglich, die Testschaltung derart auszulegen, daß nach der Beaufschlagung der

- Kontaktfläche, welche mit dem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, mit einem definiertem Signal eine vorbestimmte Aktivierungssequenz der Meßstrecken ausgelöst wird. Beispielsweise könnte durch eine einfache Pegeländerung am Steuersignal-Eingang ein Ablauf ausgelöst werden, bei dem einzelne Meßstrecken jeweils nach einer bestimmten Anzahl von Takten aktiviert werden, um nach einer ebenfalls bestimmten Anzahl von Takten wieder deaktiviert zu werden. Somit kann gewährleistet werden, daß nach dem die Meßsequenz auslösenden Steuersignal jeweils immer nur eine Meßstrecke aktiviert ist und für die Meßstrecken einzeln vorgebbare Aktivierungszeiten und Pausen zwischen den einzelnen Aktivierungen eingehalten werden.
- 15 Eine bevorzugte Ausführungsform der Erfindung zeichnet sich dadurch aus, daß die Auswahllogik-Schaltung ein Schieberegister mit mehreren D-Flip-Flops aufweist, deren Takteingänge parallel geschaltet sind, daß der Eingang eines ersten D-Flip-Flops mit dem Pegel log. "0" geschaltet ist, daß die
- 20 Eingänge der anderen D-Flip-Flops jeweils mit dem Ausgang eines ihnen vorgeschalteten D-Flip-Flops verbunden sind, und daß die Ausgänge der D-Flip-Flops mit den Signaleingängen der Meßstrecken verbunden sind. Eine derart ausgebildete Testschaltung ist mit äußerst geringen Schaltungsaufwand in der
- 25 Lage, einen definierten Aktivierungs- und Deaktivierungsablauf der Meßstrecken auszuführen. Auch in diesem Fall wäre bereits eine einfache Pegeländerung an einem Steuereingang der Testschaltung notwendig, um die vorbestimmte Aktivierungs- und Deaktivierungssequenz auszulösen. Das Pegelsignal
- 30 kann z.B. dem SET-Eingang des ersten D-Flip-Flops und den RESET-Eingängen der anderen D-Flip-Flops zugeführt werden. Nachdem die Takteingänge aller D-Flip-Flops parallel geschaltet sind, wird nun also im Takt, der an den Takteingängen der D-Flip-Flops angelegt ist, den Signaleingängen der Meß-
- 35 strecken einzeln nacheinander ein Aktivierungssignal, dessen Dauer durch Frequenz und Impuls-/Pausenverhältnis des Taktes definiert ist, zugeführt. Weist die Auswahllogik-Schaltung

bereits einen Taktgenerator auf, welcher permanent in Betrieb ist, so wäre eine einzige Kontaktfläche für die Testschaltung ausreichend. Über sie könnte das Steuersignal zur Auslösung der Aktivierungs-/Deaktivierungssequenz, z.B. ein Pegel-LOW-Signal, zugeführt werden, so daß im Anschluß eine aufeinander folgende Messung der Testbauelemente in den Meßstrecken möglich ist.

Eine bevorzugte Ausführungsform der Erfindung zeichnet sich dadurch aus, daß die Auswahllogik-Schaltung einen Decoder zur Decodierung von Steuersignalen, welche die Adressen von Meßstrecken beschreiben, aufweist. Meßstrecken können somit gezielt aktiviert werden. Es müssen also keine vorgegebenen Aktivierungs- und Deaktivierungssequenzen der Meßstrecken durchlaufen werden, falls nur eine Meßstrecke aktiviert werden soll. Die Kodierung der Steuersignale kann hierbei auf die verschiedensten Arten erfolgen. Z.B. ist es möglich, Steuersignal-Telegramme über Pegeländerungssequenzen auf nur einer Steuerleitung zu definieren. Eine weitere Möglichkeit besteht darin, ein Binärregister der Meßstreckenadressen über Steuerleitungen anzusprechen, deren Anzahl mit der Anzahl der Meßstrecken korrespondiert. Für 2^n -Meßstrecken sind somit nur n -Steuerleitungen erforderlich.

Eine weitere bevorzugte Ausführungsform der Erfindung ist dadurch gekennzeichnet, daß die Auswahllogik-Schaltung eingangsseitig an einen Datenbus zur Übertragung der Adressen von Meßstrecken angeschlossen ist, und daß mindestens ein Leiter des Datenbuses mit einer Kontaktfläche verbunden ist. Auch in dieser Variante ist ein gezieltes Ansteuern einzelner Meßstrecken möglich. Da es für die verschiedensten Zwecke eine Vielzahl genormter Datenbuse gibt, kann ein geeigneter und bewährter Datenbus hieraus gewählt werden.

Eine andere zu bevorzugende Ausführungsform der Erfindung zeichnet sich dadurch aus, daß zur Anschaltung der Meßstrecken jeweils ein Transistor vorhanden ist, dessen Steuer-

eingang jeweils mit einem Ausgang der Auswahllogik-Schaltung verbunden ist. Transistoren können bei geringem schaltungs-technischen Aufwand Relaisfunktion wahrnehmen und Meßstrecken anschalten, wenn ihren Steuereingang ein Signal der Auswahl-
5 logik-Schaltung zugeführt wird. Besonders einfach gestaltet sich der Aufbau von Meßstrecken, wenn z. B. Stromergiebigkeiten von Transistoren bestimmt werden sollen. Hierbei kann es ausreichend sein, daß die Meßstrecke als einziges Bauelement den zu prüfenden Transistor aufweist. Der Steuereingang
10 des zu prüfenden Transistors ist mit einem Ausgang der Auswahllogik-Schaltung verbunden und der Transistorstrom kann in Anhängigkeit der am Transistor anliegenden Spannung über eine Kontaktfläche gemessen werden, die über eine Leiterbahn mit dem Transistor verbunden ist. Zur Bestimmung von Widerständen
15 können Source und Drain des Transistors mit dem Widerstand in Serie geschaltet werden. Bei einem entsprechenden Signal am Steuereingang des Transistors wird der Bereich zwischen Source und Drain stromdurchgängig und an der Kontaktfläche, die mit der Meßstrecke verbunden ist, kann ein Strom gemessen
20 werden, der vom zu bestimmenden Widerstand, der anliegenden Spannung und der Kennlinie des Transistors abhängig ist.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand einer Zeichnung näher beschrieben. Es zeigt:

25

Fig. 1 die schematische Darstellung einer Testschaltung mit Taktgenerator, Schieberegister mit mehreren D-Flip-Flops und mehreren Meßstrecken,

30

Fig. 2 die schematisierte Darstellung des zeitlichen Verlaufs der RESET-Spannung, der Taktspannung und des gemessenen Stromes, wie sie mit der in Fig. 1 schematisch dargestellten Testschaltung möglich sind.

35

Die Figur veranschaulicht eine integrierte Testschaltung auf einer Halbleiterscheibe, auf welcher eine Vielzahl von nicht

dargestellten integrierten Schaltkreisen vorhanden sind. Die Testschaltung umfaßt in dem dargestellten Beispiel vier Meßstrecken 7, 8, 9, 10 die dazu dienen, durch eine Strommessung Technologieparameter von Halbleiterbauelementen in den Meßstrecken zu bestimmen. Sie sind daher eingangsseitig mit einer Stromversorgung V verbunden. Ferner weisen sie jeweils einen Steuereingang 13 auf, mit welchem die Meßstrecke aktiviert oder deaktiviert wird. Im einfachsten Fall handelt es sich um einen Transistor 16 als Schaltelement, der in die Meßstrecke geschaltet ist. Ausgangsseitig liegen alle Meßstrecken 7, 8, 9, 10 einer gemeinsamen Leitung 14, welcher zu einer ersten Kontaktfläche 12 zum Abgriff des in einer Meßstrecke 7, 8, 9, 10 geflossenen Stromes durch ein externes Meßgerät führt.

Die Kontaktfläche 12 ist ferner mit dem Eingang einer sequentiellen Auswahllogik-Schaltung verbunden, die hier aus einem Taktgenerator 1 sowie einem vom Taktgenerator 1 eingangsseitig beaufschlagten Schieberegister 15 bestegt, welches hier vier in Reihe geschalteten D-Flip-Flops 2, 3, 4, 5 aufweist. Der Setz-Eingang SET des niederwertigsten Flip-Flops 2 ist über einen Inverter 6 mit einer zweiten Kontaktfläche 11 verbunden, die ferner mit den Reset-Eingängen \bar{R} aller übrigen Flip-Flops 3 bis 5 verbunden sind. Die zweite Kontaktfläche 11 dient dazu, von extern ein Signal zum Setzen bzw. Rücksetzen der einzelnen Flip-Flops 2, 3, 4, 5 durchzuführen.

Die Meßstrecken 7, 8, 9, 10 befinden sich grundsätzlich im gesperrten Zustand, d. h. am Steuereingang 13 liegt kein Signal zum Durchschalten der Meßstrecke an. Das hat zur Folge, daß auch auf der Leitung 14 kein Ausgangssignal der einzelnen Meßstrecken 7 bis 10 anliegt.

Durch Zuführung von Steuersignalen über die Kontaktfläche 12 an die Auswahllogikschaltung wird von der Auswahllogikschaltung eine der Meßstrecken 7 bis 10 ausgewählt, indem der be-

treffenden Steuereingang 13 beaufschlagt wird und dadurch das zugehörige Schaltelement öffnet. Während der Dauer der Ansteuerung fließt in der Meßstrecke ein Strom von der Stromversorgung V zur Leitung 14, welcher das testende Bauelement in der Meßstrecke kennzeichnet. Bei dem angesteuerten Schaltelement der Meßstrecke kann es sich z. B. um einen Transistor handeln, welcher selbst das zu testende Bauelement darstellt, wie ein Beispiel der ersten Meßstrecke 7 veranschaulicht ist. Ein anderes Beispiel kann darin bestehen, daß ein zu testender Widerstand 17 in der gesteuerten Strecke eines als reines Schaltelement dienenden Transistors 18 liegt, wie es am Beispiel der dritten Meßstrecke dargestellt ist.

Die Ansteuerung der Auswahllogikschaltung über die Kontaktfläche 12 erfolgt in den vorliegenden Beispiel dadurch, daß dem Taktgenerator 1 am Eingang CLK ein Taktsignal U_t (siehe Figur 2) zugeführt wird. Das Ausgangssignal des Taktgenerators 1 bewirkt, daß ein logisch "1"-Signal durch alle Registerstellen des Schieberegisters 15 (d.h. durch die Flip-Flops 2 bis 5) durchgeschoben wird. Es liegt auf diese Weise nacheinander am Ausgang eines jeden Flip-Flops 2 bis 5 ein logisch 1-Signal an, welches entsprechend nacheinander an die Steuereingänge 13 der Meßstrecken 7 bis 10 durchgetaktet wird.

25

Das Taktsignal hat somit die Funktion einer Adressierung der einzelnen Registerstellen und der Meßstrecken.

Nachfolgend wird die Funktion der Testschaltung anhand der Figuren 1 und 2 im einzelnen beschrieben. Zur Initialisierung wird zur Zeit t_1 über die Kontaktfläche 11 ein Rücksetzsignal RESET eingegeben, welches gemäß Figur 2 seinen Pegel vom Wert 1 zum Wert h erhöht. Das hat zur Folge, daß das Signal am Ausgang Q des ersten Flip-Flops 2 den Wert logisch "1" einnimmt, während die Ausgänge Q aller anderen Flip-Flops 3, 4, 5 den Wert logisch "0" annehmen. Damit ist die zum ersten Flip-Flop 2 gehörende Meßstrecke 7 angesteuert, während die

übrigen Meßstrecken 8, 9, 10 gesperrt sind. Es fließt somit ein Strom in der Meßstrecke 7, welcher an der Kontaktfläche 12 abgreifbar ist, und welcher dieser Meßstrecke eindeutig zuordenbar ist.

5

- Zum Zeitpunkt t_2 werden alle Flip-Flops 2, 3, 4, 5 vom Takt-generator 1 mit einem Taktsignal beaufschlagt, welches bis zum Zeitpunkt t_3 dauert. Durch die Verbindung eines Ausgangs Q und eines Eingangs D von zwei aufeinander folgenden Flip-Flops wird der Wert logisch "1" des jeweiligen Flip-Flops beim Taktsignal U_t in das nächste Flip-Flop geschoben, so daß gemäß Figur 2 nach Rücksetzen des ersten Flip-Flops 2 zur Zeit t_2 zwischen der Zeit t_3 und t_4 am Ausgang Q des zweiten Flip-Flops 3 der Wert logisch "1" anliegt. Damit wird die
- 10 zweite Meßstrecke 8 leitend geschaltet, während alle anderen Meßstrecken gesperrt sind. Es kann dann an der Kontaktfläche 12 der durch die zweite Meßstrecke 8 fließende Strom I_m abgegriffen werden.
- 15
- 20 In gleicher Weise wird der Wert logisch "1" durch das dritte und vierte Flip-Flop 4, 5 geschoben, so daß entsprechend der Periode des Taktsignals U_t nacheinander die dritte und vierte Meßstrecke 9, 10 zwischen den Zeitpunkten t_6 bis t_7 bzw. t_8 bis t_9 leitend geschaltet wird.

25

Patentansprüche

1. Testschaltung auf einem Halbleiterchip mit Testbauelementen in Meßstrecken (7, 8, 9, 10), die über Leiterbahnen mit Kontaktflächen zur Zuführung und Abführung von Testsignalen bzw. Meßsignalen verbunden sind, zur Bestimmung von Kenngrößen der Testbauelemente,
dadurch gekennzeichnet,
daß eine signalgesteuerte Auswahllogik-Schaltung vorhanden ist, welche mindestens einen Steuersignal-Eingang aufweist, der mit einer Kontaktfläche verbunden ist,
daß die Ausgänge der Auswahllogik-Schaltung mit Signaleingängen von Meßstrecken (7, 8, 9, 10) verbunden sind, die jeweils mindestens ein Testbauelement aufweisen,
und daß alle Meßstrecken (7, 8, 9, 10) ausgangsseitig mit einer einzigen Kontaktfläche verbunden sind.

2. Testschaltung nach Anspruch 1,
dadurch gekennzeichnet,
daß alle Ausgänge aller Meßstrecken (7, 8, 9, 10) mit der Kontaktfläche, die mit einem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, verbunden sind.

3. Testschaltung nach einem der Ansprüche 1 oder 2,
dadurch gekennzeichnet,
daß die Auswahllogik-Schaltung einen Taktgenerator (1) und eine Ansteuerungseinrichtung aufweist,
daß die Ansteuerungseinrichtung eingangsseitig mit einem Ausgang des Taktgenerators verbunden ist, und
daß die Ansteuerungseinrichtung ausgangsseitig mit den Signaleingängen der Meßstrecken (7, 8, 9, 10) verbunden ist.

4. Testschaltung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
daß die Auswahllogik-Schaltung ein Schieberegister mit mehreren D-Flip-Flops (2, 3, 4, 5) aufweist, deren Takteingänge parallel geschaltet sind,

11

- daß der Eingang eines ersten D-Flip-Flops (2) mit dem Pegel LOW beschaltet ist,
daß die Eingänge der anderen D-Flip-Flops (3, 4, 5) jeweils mit dem Ausgang eines der ihnen vorgeschalteten D-Flip-Flops
5 (2, 3, 4) verbunden sind, und
daß die Ausgänge der D-Flip-Flops (2, 3, 4, 5) mit den Signaleingängen der Meßstrecken verbunden sind.
5. Testschaltung nach einem der Ansprüche 1 bis 3,
10 d a d u r c h g e k e n n z e i c h n e t ,
daß die Auswahllogik-Schaltung einen Dekoder zur Dekodierung von Steuersignalen, welche die Adressen von Meßstrecken beschreiben, aufweist.
- 15 6. Testschaltung nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t ,
daß die Auswahllogik-Schaltung eingangsseitig an einen Datenbus zur Übertragung der Adressen von Meßstrecken (7, 8, 9,
10) angeschlossen ist, und
20 daß mindestens ein Leiter des Datenbuses mit einer Kontaktfläche verbunden ist.
7. Testschaltung nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t ,
25 daß ein Steuersignaleingang der Auswahllogik-Schaltung ein Reset-Eingang ist.
8. Testschaltung nach einem der Ansprüche 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t ,
30 daß zur Anschaltung der Meßstrecken (7, 8, 9, 10) jeweils ein Transistor vorhanden ist, dessen Steuereingang jeweils mit einem Ausgang der Auswahllogik-Schaltung verbunden ist.

INTERNATIONAL SEARCH REPORT

Internat i Application No
PCT/DE 98/02566

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L21/66 G01R31/3185		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L G01R		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	1987 International Test Conference, H.W. TROMBLEY et al.: "Multiplexed Test Structures for IC Process Evaluation", Paper 18.3, pp.451-457 XP002088483 see the whole document ---	1-6,8
Y	EP 0 633 530 A (PHILIPS ELECTRONICS NV) 11 January 1995 see column 8, line 53 - column 11, line 36; figures 6,7,9-14 ---	1-6,8
A	DE 43 05 288 A (BOSCH GMBH ROBERT) 25 August 1994 see column 2, line 62 - column 3, line 23; figure 2 --- <div style="text-align: center;">-/-</div>	1-8
<div style="display: flex; justify-content: space-between;"> <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex. </div>		
* Special categories of cited documents :		
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&" document member of the same patent family</p> </div> </div>		
Date of the actual completion of the international search <div style="text-align: center;">18 December 1998</div>		Date of mailing of the international search report <div style="text-align: center;">14/01/1999</div>
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer <div style="text-align: center;">Prohaska, G</div>

INTERNATIONAL SEARCH REPORT

Internat: Application No
PCT/DE 98/02566

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 530 706 A (JOSEPHSON DON D ET AL) 25 June 1996 see column 2, line 34 - line 56; figures 1A,1B</p> <p>-----</p>	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internati. Application No
PCT/DE 98/02566

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0633530 A	11-01-1995	CN 1131985 A	25-09-1996
		EP 0717851 A	26-06-1996
		WO 9601434 A	18-01-1996
		JP 9502808 T	18-03-1997
		JP 7146341 A	06-06-1995
		SG 52788 A	28-09-1998
DE 4305288 A	25-08-1994	WO 9419745 A	01-09-1994
		DE 59401044 D	19-12-1996
		EP 0685087 A	06-12-1995
		JP 8507142 T	30-07-1996
		US 5554941 A	10-09-1996
US 5530706 A	25-06-1996	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internat. les Aktenzeichen

PCT/DE 98/02566

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L21/66 G01R31/3185

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	1987 International Test Conference, H.W. TROMBLEY et al.: "Multiplexed Test Structures for IC Process Evaluation", Paper 18.3, pp.451-457 XP002088483 siehe das ganze Dokument	1-6,8
Y	EP 0 633 530 A (PHILIPS ELECTRONICS NV) 11. Januar 1995 siehe Spalte 8, Zeile 53 - Spalte 11, Zeile 36; Abbildungen 6,7,9-14	1-6,8
A	DE 43 05 288 A (BOSCH GMBH ROBERT) 25. August 1994 siehe Spalte 2, Zeile 62 - Spalte 3, Zeile 23; Abbildung 2	1-8
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Dezember 1998

Absenddatum des internationalen Recherchenberichts

14/01/1999

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Prohaska, G

INTERNATIONALER RECHERCHENBERICHT

Internat. Aktenzeichen

PCT/DE 98/02566

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>US 5 530 706 A (JOSEPHSON DON D ET AL)</p> <p>25. Juni 1996</p> <p>siehe Spalte 2, Zeile 34 - Zeile 56;</p> <p>Abbildungen 1A,1B</p> <p>-----</p>	1-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. a Aktenzeichen

PCT/DE 98/02566

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0633530 A	11-01-1995	CN 1131985 A	25-09-1996
		EP 0717851 A	26-06-1996
		WO 9601434 A	18-01-1996
		JP 9502808 T	18-03-1997
		JP 7146341 A	06-06-1995
		SG 52788 A	28-09-1998
DE 4305288 A	25-08-1994	WO 9419745 A	01-09-1994
		DE 59401044 D	19-12-1996
		EP 0685087 A	06-12-1995
		JP 8507142 T	30-07-1996
		US 5554941 A	10-09-1996
US 5530706 A	25-06-1996	KEINE	

PCT

WORLD ORGANIZATION FOR INTELLECTUAL PROPERTY
International Office



INTERNATIONAL APPLICATION PUBLISHED ACCORDING TO THE AGREEMENT ON
INTERNATIONAL COOPERATION IN THE FIELD OF PATENTS (PCT)

(51) International patent classification⁶: H01L 21/66, G01R 31/3185	A1	(11) International publication number: WO 99/17353 (43) International publication date: April 8, 1999 (04/08/99)
(21) International reference: PCT/DE98/02566 (22) International application date: Sept. 1, 1998 (09/01/98) (30) Priority dates: 197 42 946.7 September 29, 1997 (09/29/97) DE (71) Applicant (for all designated countries except US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 Munich, Germany. (72) Inventor; and (75) Inventor/applicant (for US only): BLON, Thomas [DE/DE] Muhlenweg 39, D-86860 Jengen (DE). (74) Common representative: SIEMENS AKTIENGESELLSCHAFT, P.O. Box 22 16 34, D- 80506 Munich (DE)		(81) Designated countries: CN, US, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i>
(54) Title: MULTIPLEXED TEST CIRCUIT ON A SEMICONDUCTOR CHIP <p style="text-align: center;">(illustration)</p>		

(57) Abstract

The invention relates to a test circuit on a semiconductor chip, comprising test components on metering runs, which are connected by conductor paths with the contact areas. In order to determine the features of the components, test signals or measurement signals are sent to the contact areas, then removed therefrom. The outputs of the selection logical circuit activate metering runs with at least one test component by run, thereby enabling the measurement signals of various test components to be recorded on one contact area. One test circuit according to the invention enables the number of contact areas required to be substantially reduced.

FOR INFORMATION PURPOSE ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

Albania	ES	Spain	LS	Lesotho	SI	Slovenia
Armenia	FI	Finland	LT	Lithuania	SK	Slovakia
Austria	FR	France	LU	Luxembourg	SN	Senegal
Australia	GA	Gabon	LV	Latvia	SZ	Swaziland
Azerbaijan	GB	United Kingdom	MC	Monaco	TD	Chad
Bosnia and Herzegovina	GE	Georgia	MD	Republic of Moldova	TG	Togo
Barbados	GH	Ghana	MG	Madagascar	TJ	Tajikistan
Belgium	GN	Guinea	MK	The former Yugoslav Republic of Macedonia	TM	Turkmenistan
Burkina Faso	GR	Greece	ML	Mali	TR	Turkey
Bulgaria	HU	Hungary	MN	Mongolia	TT	Trinidad and Tobago
Benin	IE	Ireland	MR	Mauritania	UA	Ukraine
Brazil	IL	Israel	MW	Malawi	UG	Uganda
Belarus	IS	Iceland	MX	Mexico	US	United States of America
Canada	IT	Italy	NE	Niger	UZ	Uzbekistan
Central African Republic	JP	Japan	NL	Netherlands	VN	Viet Nam
Congo	KE	Kenya	NO	Norway	YU	Yugoslavia
Switzerland	KG	Kyrgyzstan	NZ	New Zealand	ZW	Zimbabwe
Côte d'Ivoire	KP	Democratic People's Republic of Korea	PL	Poland		
Cameroon	KR	Republic of Korea	PT	Portugal		
China	KZ	Kazakhstan	RO	Romania		
Cuba	LC	Saint Lucia	RU	Russian Federation		
Czech Republic	LI	Liechtenstein	SD	Sudan		
Germany	LK	Sri Lanka	SE	Sweden		
Denmark	LR	Liberia	SG	Singapore		
Estonia						

Description

MULTIPLEXED TEST CIRCUIT ON A SEMICONDUCTOR CHIP

The invention relates to a test circuit on a semiconductor chip with test components in measured sections, which are connected via conductor paths with contact surfaces for sending and removing test signals or measurement signals, for determining characteristic values of the test components.

The measurement of technological parameters or characteristic values on semiconductor chips, such as, for example, the current yield of NMOS/PMOS transistors, high-value or low-value poly resistors on the wafer level, is of great significance for error analysis in analog and mixed-signal circuits. Traditionally, this measurement is carried out via a plurality of contact surfaces, so-called pads, which are usually arranged, together with other contact surfaces, in a pad frame outside the area of the circuit. Through gauging tips and the like, the contact surfaces are accessed by external measuring systems, which in turn are connected via conductor paths to the measured sections containing the components to be tested.

With the progressive reduction in circuit size on chips, the size of the chips is increasingly being determined by the contact surfaces. If there is the threat of the chip surface, due to the contact surfaces for determining the technological parameters, becoming larger than is absolutely required for the actual function of the chip, this surface problem can be addressed only by omitting contact surfaces. Experience shows, however, that in subsequent error analysis, this omission results in much more work, because the technological parameters needed for the analysis were not available in the required quality and quantity.

The invention is based on the task of providing a test circuit of the type mentioned at the start, in which the number of measured sections is increased and yet little chip surface is used.

The solution of this task according to the invention lies in that there is a signal-controlled selection logic circuit that exhibits at least one control signal input connected with a contact surface, that the selection logic circuit outputs are connected to control inputs of measured sections, each exhibiting a test component, and that all measured sections are connected to only one contact surface on the output side.

A central idea of the invention lies in that, from the plurality of measured sections, one measured section each is individually selected, using a type of addressing. The number of contact surfaces and control lines required for the selection logic depends on the number of measured sections and the type of control signals containing the addressing, as well as the transmission method. In a sequential transmission, all control signals for a practically unlimited number of measured sections can be transmitted on a single line. In parallel transmission, the minimum number of contact surfaces depends on the address coding selected and on the number of measured sections. For example, using binary code, control signals for 2^n measured sections can be transmitted over n lines.

Because each measured value can be chronologically classified in a unique manner, through the deliberate choice of one measured section, all measured values can be sent on only one line to one single contact surface and can be accessed there.

In this way, there is definitely less space requirement, since at least one contact surface is to be provided for the traditional test circuits for each component. Furthermore, even areas that are far removed from the contact surfaces can be used, at little

cost, for the arrangement of test components, since the number of conductor paths connected to them is reduced to the same extent as the number of contact surfaces.

It is particularly favourable to design the measured sections in such a way that, on the output side, they all yield the same measured variable, e.g., current or voltage, to the contact surfaces. Thus, for example, the current yield of various transistor types and specific resistances of various resistor types can each be directly determined through current measurements. In this way, only one current or voltage source need be accessed, and the sending of the measured value can be done without much outlay of lines.

It is advantageous for all outputs of all measured sections to be connected to the contact surface that is connected to a control signal input of the selection logic circuit. As a result of this double usage of a contact surface, the number of total contact surfaces needed is further reduced. Such utilization of a contact surface and the conductor path connected thereto for bi-directional communication requires an exact specification of when the contact surface can be supplied with signals and when the measured sections can give off output signals. Otherwise, this can result in incorrect measurements and erroneous interpretations or in the selection logic circuit ignoring the control signals.

Furthermore, it is advantageous for the selection logic circuit to exhibit a clock-pulse generator and a control mechanism, for the control mechanism to be connected on the input side with an output of the clock-pulse generator, and for the control mechanism to be connected on the output side with the signal inputs of the measured sections. With the clock-pulse generator, a chronological basis is available, through which the activation duration of the measured sections can be defined. Thus, it is

possible, for example, to design the test circuit such that, after impinging on the contact surface connected to the control signal input of the selection logic circuit, a predetermined activation sequence of the measured sections is triggered with a defined signal. For example, through a simple change in level on the control signal input, it is possible to trigger a sequence in which individual measured sections are each activated after a specific number of cycles, in order to be deactivated again after a likewise specific number of cycles. In this way, it can be ensured that, in accordance with the control signal that triggers the measurement sequence, only one measured section is always activated each time, and activation times and intervals between the individual activations that can be set individually are maintained for the measured sections.

A preferred embodiment of the invention is characterized in that the selection logic circuit exhibits a shift register with several D flip-flops whose clock inputs are switched in parallel, that the input of a first D flip-flop is switched at the level of logical "0", that the inputs of the other D flip-flops are each connected with the output of a D flip-flop connected to them, and that the outputs of the D flip-flops are connected with the signal inputs of the measured sections. A test circuit designed in such a manner can, with extremely low outlay in circuits, execute a defined activation and de-activation sequence of the measured sections. Even in this instance, a simple change in level on a control input of the test circuit would already be necessary in order to trigger the predetermined activation and de-activation sequence. The level signal can, for example, be sent to the SET input of the first D flip-flop and to the RESET inputs of the other D flip-flops. After the clock inputs of all D flip-flops are switched in parallel, an activation signal, whose duration is defined by the frequency and impulse/interval ratio of the cycle, is sent individually to the signal inputs of the measured sections one after the other in the cycle created on the

clock inputs of the D flip-flops. If the selection logic circuit already exhibits a clock-pulse generator that is permanently in operation, a single contact surface would suffice for the test circuit. Through this, the control signal for triggering the activation/de-activation sequence, e.g., a LOW-level signal, could be sent, making possible a subsequent consecutive measurement of the test components in the measured sections.

A preferred embodiment of the invention is characterized by the fact that the selection logic circuit exhibits a decoder for decoding control signals that describe the addresses of measured sections. Measured sections can consequently be deliberately activated. No specified activation and deactivation sequences of the measured sections therefore need to pass through if only one measured section is supposed to be activated. In this case, the coding of the control signals may take place in the most varied manner. For example, it is possible to define control signal telegrams through change of level sequences on only one control line. A further possibility lies in addressing a binary register of the measured section addresses via control lines, whose number corresponds with the number of the measured sections. For 2^n measured sections, only n control lines are therefore necessary.

A further preferred embodiment of the invention is characterized in that the selection logic circuit is connected on the input side to a data bus for transferring the addresses of measured sections, and that at least one conductor of the data bus is connected to a contact surface. In this variation as well, a specific selection of individual measured sections is possible. Since there is a plurality of standardized data buses for the most varied purposes, a suitable and proven data bus can be selected therefrom.

Another embodiment of the invention to be preferred is distinguished in that one transistor each is available to connect

the measured sections, the control input of the transistor being connected in each case with an output of the selection logic circuit. With little outlay involved in the circuit technology, transistors can handle the relay function, and connect measured sections when a signal of the selection logic circuit is sent to its control input. The design of measured sections has a particularly simple shape when, for instance, current yields of transistors are supposed to be determined. In this case, it is sufficient for the measured section to exhibit, as the sole component, the transistor to be tested. The control input of the transistor to be tested is connected to an output of the selection logic circuit and the transistor current can be measured, depending on the voltage present on the transistor, through a contact surface connected via a conductor path to the transistor. To determine resistances, the source and drain of the transistor can be switched in series with the resistance. In a corresponding signal on the control input of the transistor, the area between the source and drain becomes conductive, and a current that depends on the resistance to be determined, applied voltage, and characteristic curve, can be measured.

An embodiment of the invention will be described more precisely in the following, with the help of a drawing. To illustrate:

Fig. 1 the schematic representation of a test circuit with clock-pulse generator, shift register with several D flip-flops, and several measured sections,

Fig. 2 the schematic representation of the chronological course of the RESET voltage, the clock voltage, and the measured current, as possible with the test circuit schematically shown in Fig. 1.

The figure illustrates an integrated test circuit on a semiconductor wafer, on which there is a plurality of integrated switching circuits, not illustrated. In the example illustrated, the test circuit contains four measured sections 7, 8, 9, 10, which serve to determine technology parameters of semiconductor components in the measured sections through a current measurement. They are therefore connected to a current supply V on the input side. Furthermore, they each exhibit a control input 13, with which the measured section is activated or deactivated. In the simplest case, it is a transistor 16 as a circuit element, which is connected to the measured section. All measured sections 7, 8, 9, 10 of a common line 14 lie on the output side, which leads to a first contact surface 12 to tap the current flowing in a measured section 7, 8, 9, 10, through an external measuring device.

The contact surface 12 is furthermore connected to the input of a sequential selection logic circuit, which consists here of one clock-pulse generator 1, as well as a shift register 15 impinged on the input side by the clock-pulse generator 1, the shift register exhibiting here four D flip-flops 2, 3, 4, 5 connected in series. The setting input SET of the lowest order flip flop 2 is connected to a second contact surface 11 via an inverter 6, which are furthermore connected to the reset inputs R of all remaining flip-flops 3 to 5. The second contact surface 11 serves to execute, from without, a signal to set or reset the individual flip-flops 2, 3, 4, 5.

The measured sections 7, 8, 9, 10 are basically found in the closed state, i.e., no signal is applied to the control input 13 to connect the measured section through. As a result, no output signal of the individual measured sections 7 to 10 is applied even on the line 14.

By feeding control signals via the contact surface 12 to the selection logic circuit, one of the measured sections 7 to 10 is selected by the selection logic circuit, in which the control input 13 concerned is impinged on, as a result of which the appropriate circuit element opens. During the duration of the control, a current flows in the measured section from the current supply V to line 14, which marks the testing component in the measured section. In the controlled circuit element of the measured section, it may be a transistor, which itself represents the component to be tested, as an example of the first measured section 7 illustrates. Another example may exist in that a resistance 17 to be tested lies in the controlled section of a transistor 18 serving as pure circuit element, as shown in the example of the third measured section.

The selection logic circuit via the contact surface 12 is controlled in the present example in such a way that a clock signal U_c (see Figure 2) is sent to the clock-pulse generator 1 on the input CLK. The output signal of the clock-pulse generator 1 causes a logical "1" signal to be pushed through all register points of the shift register 15 (i.e., through the flip-flops 2 to 5). In this manner, a logical 1-signal is present on the output of each consecutive flip-flop 2 to 5, which is correspondingly cycled one after the other to the control inputs 13 of the measured sections 7 to 10.

The clock signal consequently has the function of addressing the individual register points and the measured sections.

The function of the test circuit will be described in detail in the following, using Figures 1 and 2. For initialization, a reset signal RESET, which, in accordance with Figure 2, increases its level from the value 1 to the value h , is entered at time t_1 through the contact surface 11. As a result, the signal on the output Q of the first flip flop 2 takes the logical value "1",

while the outputs Q of all other flip-flops 3, 4, 5 take the logical value "0". The measured section 7 belonging to the first flip-flop 2 is controlled as a result, while the remaining measured sections 8, 9, 10 are blocked. A current consequently flows in the measured section 7, which is measurable on the contact surface 12, and which is unambiguously allocatable to this measured section.

At time t_2 , all flip-flops 2, 3, 4, 5 are impinged on by the clock-pulse generator 1 with a timing signal, which lasts until time t_3 . Through the connection of an output Q and an input D from two flip-flops following each other, the logical value "1" of the particular flip-flop is pushed into the next flip-flop during timing signal U_t , so that, in accordance with Figure 2, after resetting the first flip-flop 2 at the time t_2 between the time t_3 and t_4 , the logical value "1" is applied to output Q of the second flip-flop 3. The second measured section 8 is electrically connected as a result, while all other measured sections are blocked. The current I_m flowing through the second measured section 8 can thus be measured on the contact surface 12.

In the same manner, the value logical "1" is pushed through the third and fourth flip-flop 4, 5, so that, corresponding to the period of the timing signal U_t , the third and fourth measured distance 9, 10 is electrically connected one after the other between the times t_6 to t_7 or t_8 to t_9 .

Patent Claims

1. Test circuit on a semiconductor chip with test components in measured sections (7, 8, 9, 10), which are connected via conductor paths with contact surfaces for sending and removing test signals or measurement signals, for determining characteristic values of the test components, wherein

there is a signal-controlled selection logic circuit that exhibits at least one control signal input connected with a contact surface, the selection logic circuit outputs are connected to signal inputs of measured sections (7, 8, 9, 10), each exhibiting a test component, and all measured sections (7, 8, 9, 10) are connected to only one contact surface on the output side.

2. Test circuit according to Claim 1, wherein

all outputs of all measured sections (7, 8, 9, 10) are connected to the contact surface that is connected to a control signal input of the selection logic circuit.

3. Test circuit according to Claim 1 or 2, wherein

the selection logic circuit exhibits a clock-pulse generator (1) and a control mechanism, the control mechanism is connected on the input side with an output of the clock-pulse generator, and the control mechanism is connected on the output side with the signal inputs of the measured sections (7, 8, 9, 10).

4. Test circuit according to Claims 1 to 3, wherein

the selection logic circuit exhibits a shift register with several D flip-flops (2, 3, 4, 5) whose clock inputs are switched in parallel, the input of a first D flip-flop (2) is switched at the level LOW, the inputs of the other D flip-flops (3, 4, 5) are each connected with the output of a D flip-flop connected to them (2, 3, 4), and the outputs of the D flip-flops (2, 3, 4, 5) are connected with the signal inputs of the measured sections.

5. Test circuit according to Claims 1 to 3, wherein the selection logic circuit exhibits a decoder for decoding control signals that describe the addresses of measured sections.

6. Test circuit according to Claim 5, wherein the selection logic circuit is connected on the input side to a data bus for transferring the addresses of measured sections (7, 8, 9, 10), and at least one conductor of the data bus is connected to a contact surface.

7. Test circuit according to any one of Claims 1 to 6, wherein a control signal input of the selection logic circuit is a reset input.

8. Test circuit according to any one of Claims 1 to 7, wherein one transistor each is available to connect the measured sections (7, 8, 9, 10), the control input of the transistor being connected in each case with an output of the selection logic circuit.

